

EXPERIMENTO APEX – PROGRAMA DE CIRCUITOS BASEADOS EM FIELD PROGRAMMABLE GATE ARRAY

Shridhar Jayanthi (ITA, Bolsista PIBIC/CNPq) – shridhar@redecasd.ita.br
Dr. Hanumant Shankar Sawant (DAS/ INPE) – sawant@das.inpe.br

RESUMO

Este trabalho, realizado iniciado em Agosto de 2005 teve como objetivo fazer um estudo do funcionamento da tecnologia de Programação de Dispositivos Lógicos do tipo Field Programmable Gate Array – FPGA – para uso em experimentos embarcados em satélites. O objetivo mais imediato deste projeto foi programar em um dispositivo FPGA a interface de acesso ao experimento APEX a partir de um computador de bordo. A fase inicial deste projeto envolveu o estudo das tecnologias envolvidas no desenho de dispositivos FPGA. A linguagem de programação VLSI Hardware Description Language – VHDL, linguagem definida pela IEEE, através da qual é feito desenho de dispositivos de hardware. Esta linguagem apresenta aspectos interessantes sob o ponto de vista computacional por se tratar de uma linguagem descritiva. Os ambientes de simulação desta linguagem procuram se utilizar de um paralelismo real para testar o dispositivo configurado exatamente como ele agirá depois de gravado. Além disso, foi necessário familiarizar-se com o ambiente de desenvolvimento (IDE) da Actel, fornecedora dos chips FPGA utilizados neste experimento. O ambiente Libero, proprietário, apresenta uma suíte completa de design, configuração, testes e gravação para os dispositivos fornecidos. Uma outra parte do trabalho foi o estudo dos requisitos da interface do experimento APEX. O levantamento destes requisitos foi feito a partir dos requisitos de interface do experimento ORCAS, uma vez que os dois experimentos guardam semelhanças distintas. Algumas alterações foram feitas para adequar o experimento às novas condições. A última etapa do projeto, o desenho do programa em FPGA e teste do circuito na placa já foi iniciado. Alguns últimos ajustes de detalhes encontrados em testes no ambiente de simulação, alterações do circuito de aquisição e interfaceamento com componentes complexos ainda resta. A fase final desta última etapa será o teste do circuito implementado no FPGA após programação do dispositivo e verificação e validação do programa desenhado.